

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-126672

⑬ Int. Cl.³
H 01 L 29/78
// H 01 L 29/62

識別記号
厅内整理番号
7377-5F
7638-5F

⑭ 公開 昭和59年(1984)7月21日
発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 半導体装置の製造方法

⑯ 特 願 昭58-1858

⑰ 出 願 昭58(1983)1月10日

⑱ 発明者 荒木稔

東京都港区芝五丁目33番1号
日本電気株式会社内

⑲ 出願人 日本電気株式会社

東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原晋

明細書

MOS型半導体装置の製造方法に関するものである。

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

多結晶シリコンと高融点金属とのシリサイドをゲート電極に含む半導体装置の製造方法に於て、所定領域にゲート電極となるべき多結晶シリコンを形成する工程と、前記多結晶シリコンの側面にシリサイド化に対して非反応性膜を残存させる工程と、ゲート電極の多結晶シリコンの上面とソース・ドレイン領域の基板表面を露出させる工程と、全面に高融点金属膜を蒸着し、熱処理に依って、シリコンと前記金属の接した領域をシリサイド化する工程とを含む事を特徴とした半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、ゲート電極を低抵抗材料で構成した

近年、MOS型半導体装置に於ては、シリコンゲート型のMOS半導体装置がよく知られており、広い範囲に応用されている。この特色は、ゲート電極をマスクとして、自己整合的に、ソース・ドレインを形成する事にあり、フォト・リソグラフィ技術に於ける目合せ方法のズレを見込む必要がなく、高速で高集成の半導体装置を得る事にある。また、ソース・ドレインの拡散層配線とゲート・多結晶シリコン電極のような配線とさらにそれらを結線する金属配線との多層配線が可能となり、高密度化した集積回路半導体装置になり、大いに特性が向上し、信頼性に於ても高められている。

一方、多結晶シリコン材料を用いた電極では、単結晶に較べて抵抗が高くなるのが一般的で、高速性を期待される装置に於ては、電極の抵抗が小さくなる事が要求されている。この要求に答えるために、多結晶シリコンに注入される不純物の濃度を高める事が考えられるが、これには注入時間

がかかる上に不純物濃度が高くなつて来ると、多結晶シリコンをバーニングする時、通常の反応性イオンエッティング技術を用いても、側面でのエッティングが進行し、バーニング精度がよくない事が知られており、高集成、高速化を目指す事に對して信頼性上問題となつてゐる。

そこで次に、ゲート電極を金属シリサイド化する事が提唱され、実験も行なわれるようになって來た。この金属シリサイド電極にする事に依つて、層抵抗を $1 \sim 3 \Omega/\square$ 程度の低い抵抗にする事が容易になり、半導体装置を高速動作させる事が可能になつて來たと言える。

しかし、その製造方法には、種々の方法があり、検討されているが、ゲート電極だけのシリサイド化だけではなく、ソース・ドレイン領域のシリサイド化する方法として第1図に示すよう従来の方法があった。この方法で行なうと、ゲート・多結晶シリコンをバーニングしてから、高融点金属を被覆させて、熱処理するだけであるので、多結晶シリコンと金属とのシリサイド化の時、シリ

熱処理に依つて、シリコンと前記金属の接した領域のみをシリサイド化する工程を含む半導体装置の製造方法にある。

本発明を説明するにあたり、前述した従来方法について説明を加える事にする。第1図(a)～(e)に従来方法の製造工程断面図を示す。第1図(a)は、通常の選択酸化法で、P型シリコン基板1上に、フィールド酸化膜(シリコン酸化膜)2があり、トランジスタ領域にはゲート酸化膜となるべき薄い酸化膜3がある状態を示している。次に、多結晶シリコン膜を成長し、ゲート電極となるべき領域4を残として、他の多結晶シリコンを除去する。その後、このゲート・多結晶シリコン4をマスクにして、ソース・ドレイン領域上の酸化膜を除去して、シリコン基板表面を露出させる。そして、ソース・ドレインへの不純物として、例えばN型不純物として、砒素をイオン注入法を用いて、注入する。この時、ソース・ドレイン領域に注入されると同時に、多結晶シリコンにも注入される。その後適当な熱処理を行なつて、不純物の活性化

コンと金属の共晶部が多結晶シリコン部だけではなく、金属の領域まで拡がつてしまい、その後の金属をエッティング除去する時に、多結晶シリコン部のバーニングを精確に施こす事が出来ず、ソース・ドレインのシリサイド部とゲート電極のシリサイド部が短絡したり、出来上つても静電破壊を生じやすくなるなどの不都合があつた。

本発明の目的は、これらの不都合を無くし、ソース・ドレインのシリサイド部とゲート電極部のシリサイド部を完全分離し、歩留り良く、容易に製造出来る製造方法を提供するものである。

本発明の特徴は、多結晶シリコンと高融点金属とのシリサイドをゲート電極に含む半導体装置の製造方法に於て、所定領域にゲート電極となるべき多結晶シリコンを形成する工程と、前記多結晶シリコンの側面に、シリサイド化に對して非反応性膜を残存させる工程と、ゲート・多結晶シリコンの上面とソース・ドレイン領域の基板表面を露出させる工程と、ソース・ドレイン不純物をたとえればイオン注入し、全面に高融点金属膜を蒸着し、

を行なつてもよいが、結局、ソース・ドレイン5、6が形成される(第1図(b))。不純物を砒素にした事に依り、活性化率が悪く、抵抗を高めている事になるが、これを解消するために、次のような工程を追加し、金属シリサイドを形成するのである。

次に、全面に高融点金属膜7(例えはモリブデン、白金など)を、多結晶シリコン4やソース・ドレイン5、6の露出面を覆つて、膜厚を例えば 1000 \AA 程度被覆させ、熱処理を施こす、この熱処理は、それほど高温でなくともよく、例えば $500 \sim 600^\circ\text{C}$ 程度の熱処理で金属シリサイドを形成する事が出来る。この時、ゲート・多結晶シリコン4の側面もシリサイド化されるのであるが、ゲート酸化膜が薄くなつて来ると、ソース・ドレイン5、6上のシリサイド化された領域がつながつてしまつた状態になる場合がある(第1図(c))。

その後、酸化膜上の金属は、そのままの状態であるので、金属だけを、シリサイドを残として除去する。この時、多結晶シリコン4を残つて、上

面にも側面にもシリサイド8(多結晶シリコンのシリサイド)が形成され、ソース・ドレイン上には、単結晶シリサイド9, 10が形成される事になる。このようになる事で、ゲート・多結晶シリコン・シリサイド8, ソース・ドレイン上シリサイド9, 10で、ゲート電極とソース・ドレインの層抵抗は低下する事が出来る。この時、ゲート多結晶シリコン・シリサイド8とソース・ドレイン・シリサイド9, 10と分離しているのは、ゲート酸化膜厚の分離距離である(第1図(d))。その後、酸化膜やリンガラス(PSG)のような絶縁膜11を気相成長法等で成長させ、ソース・ドレインやゲート・電極上へ所定のコンタクト孔を設けて、アルミのような金属配線12を施こす事に依って低抵抗シリサイド・ゲート・MOS型半導体装置が出来上がるわけである(第1図(e))。

しかし、前述したように、シリサイド化の熱処理に於て、ゲートの多結晶シリコンのシリサイドとソース・ドレインのシリサイドがつながってしまうという不都合が生じて、歩留りが悪くなってしまった

面に成長させる。この時シリコン酸化膜は多結晶シリコンの側面にも成長する事になる。そして、次に、反応性イオン・エッティング法で、垂直方向にエッティングが進行する方法で、シリコン酸化膜を除去すると、垂直方向にのみ優勢にエッティングされるためゲート・多結晶シリコン24の側面に残ったシリコン酸化膜は除去されないで残存することになり、ゲート・多結晶シリコン24の側面のシリコン酸化膜25として存在する事になる。このような方法には、シリコン酸化膜の他にシリコン酸化膜の気相成長膜に対して、反応性イオンエッティングを行なっても同じ効果をあげる事が出来る。また、シリコン酸化膜のアルコールに溶解したものを回転塗布する事に依って、側面に厚く非反応性膜を形成する事も可能であり、この時エッティングに依って、ゲート多結晶シリコンの側面に、この非反応性膜を残す事が出来る方法であれば、どの方法を用いてもよい(第2図(b))。

その後、全面エッティングを行なって、ソース・ドレイン上の酸化膜を除去し、ソースドレイン領域

り、高速性のためゲート酸化膜を薄くする場合は、製造が困難になる事が予想される。

そこで、本発明の製造方法を用いれば、ゲート・多結晶シリコンのシリサイドとソース・ドレインのシリサイドとは完全に分離されて、信頼性のある製造を行なう事が出来る。

本発明の製造方法は、ゲート・多結晶シリコンの側面に、例えばシリコン酸化膜のような非反応性膜を形成し、残存させて、シリサイド化する事を特徴とするものである。

本発明の実施例の製造方法を、第2図に示す工程断面図に従って、説明する事にする。第2図(a)は、従来例と同様に、P型シリコン基板21に、通常の選択酸化法を用いて、フィールド酸化膜22があり、トランジスタ領域には、ゲート絶縁膜となるべき酸化膜23がある。その後、ゲート電極となるべき多結晶シリコン24をパターニングして、残存させ、全面にシリコン酸化膜のような非反応性膜25を、多結晶シリコン24の側面にだけ残す。この方法として、シリコン酸化膜を全

域の基板表面を露出させる。次に、N型不純物として、砒素のイオン注入を行なって、ソース・ドレインをN型にするのと同時に、多結晶シリコン24の中へも注入し、N型にする。その後、活性化のために熱処理を施して、ソース、ドレイン26, 27を形成する。次に、全面に高融点金属膜28(例えばモリブデンや白金)を約1000Å程度蒸着する。そして、全面を比較的高質量のイオン(例えは砒素)を注入する事に依って、金属とシリコンを混ぜ合わせる操作を行なう。これは、高質量のイオンをエネルギーを高くして注入する事に依って、金属に衝突させる事に依って、多結晶シリコン中へ金属を注入して、混ぜ合わせて準シリサイドを形成する。この工程によりシリサイド化が完全に遂行される(第2図(c))。シリコンの露出している所と金属の接している所に於ては、前の方で、準シリサイド化を行ないその後、比較的低温(500~600°C)で熱処理を施す事に依って、完全シリサイド化を行なう。ゲート多結晶シリコン24の上面に、ゲート・多結晶シリコン

・シリサイド2·9が出来、ソース・ドレイン上には、単結晶シリサイド30, 31が出来る。この時、ゲート・多結晶シリコンの側面には、シリコン塗化膜25が残存するために、この部分にはシリサイドは形成される事はない。また、ソース・ドレインとゲート・多結晶シリコンの上面との距離がゲート電極の膜厚分あるため、またイオン注入に依って混ぜ合わせているため、シリサイドのつながりが生じなくなっている(第2図(d))。次に、通常のリンガラス(PSG)のような絶縁膜32を気相成長法を用いて成長し、所定のコンタクト孔を設けて、アルミ金属配線33を施す事に依って低抵抗ゲート電極・MOS型半導体装置を得る事になる(第2図(e))。

以上説明したように、本発明は、ゲート・多結晶シリコンの側面にシリサイド化に対しての非反応性膜を形成し、ソース・ドレイン領域とゲート・多結晶シリコンの上面を露出し、ソース・ドレイン不純物を注入した後、高融点金属を蒸着し、熱処理に依って、シリサイド化する事を特徴とし、

ソース・ドレインのシリサイドとゲート・多結晶シリコンのシリサイドの距離を離す事に依って、シリサイドがつながって短絡するような不都合を解消させた半導体装置の製造方法である。

ここでは、Nチャネル型のトランジスタについて述べてあるが、この方法は、Pチャネル型トランジスタに於ても同様に可能であり、さらには補型トランジスタにも応用出来る事は言うまでもない。

4. 図面の簡単な説明

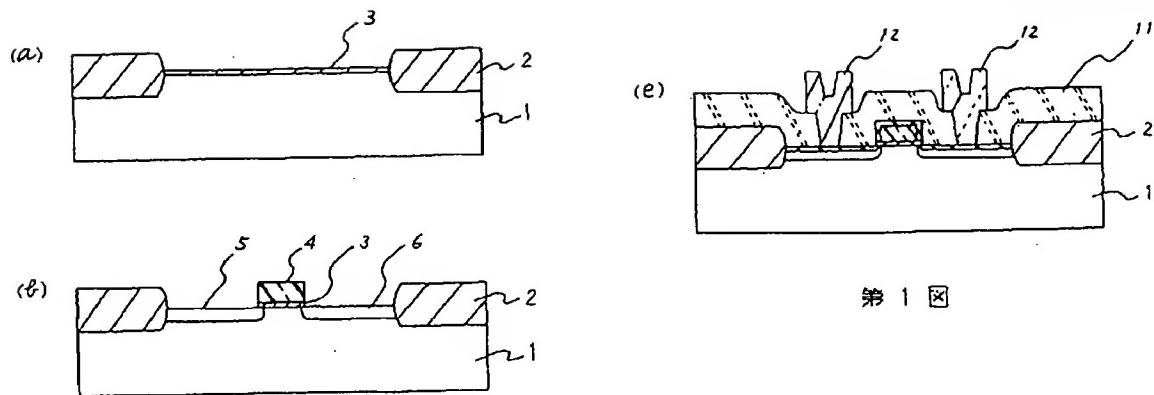
第1図は、従来の半導体装置の製造方法を示す製造工程断面図、第2図は、本発明の実施例の製造方法を示す製造工程断面図である。

尚、図において、

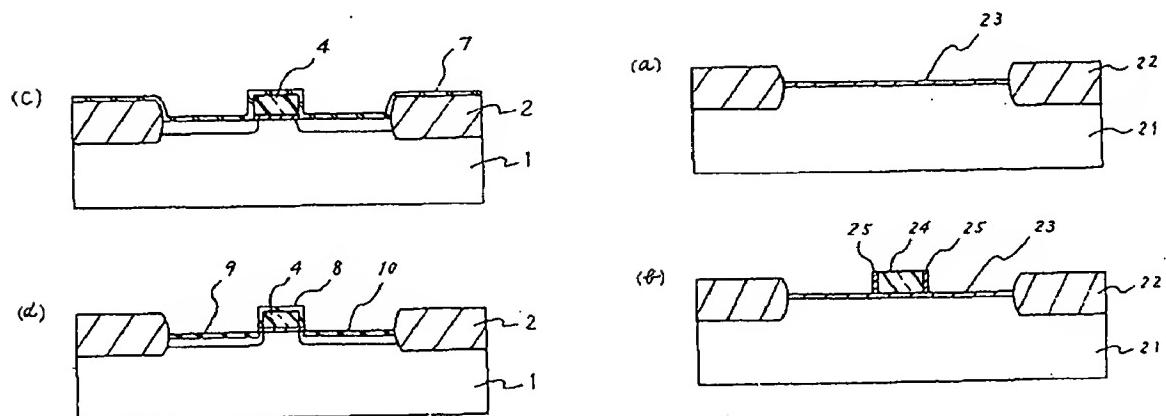
- 1, 21……シリコン基板、2, 22……フィールド酸化膜、3, 23……ゲート酸化膜、4, 24……多結晶シリコン、5, 6, 26, 27……ソース・ドレイン領域、7, 28……高融点金属、8, 9, 10, 29, 30, 31……シリサイド、25……シリコン塗化膜、11, 32……リンガラス、12, 33……アルミ配線。

代理人 弁理士 内原 譲



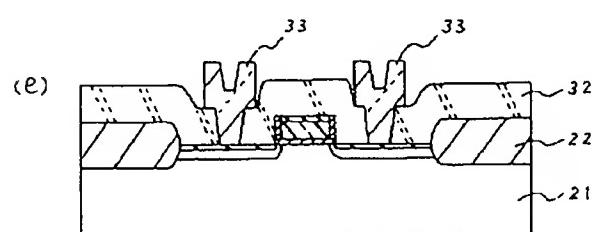
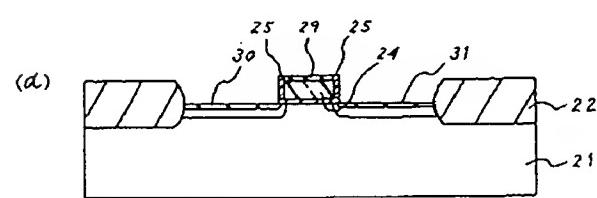
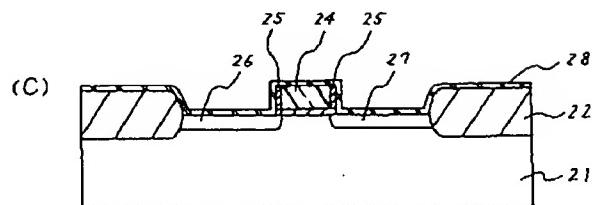


第1図



第2図

第1図



第2図